



(19)

(11) Publication number:

2000188329 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10362935

(51) Intl. Cl.: H01L 21/768 H01L 21/3205

(22) Application date: 21.12.98

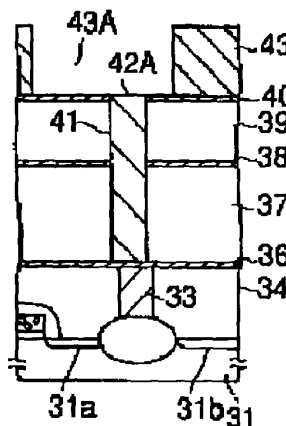
<p>(30) Priority:</p> <p>(43) Date of application publication: 04.07.00</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: FUJITSU LTD FUJITSU VLSI LTD</p> <p>(72) Inventor: NUNOFUJI WATARU HATANAKA KIMIE KOMADA DAISUKE WAKASUGI YUKIHIRO HAIRI ISAMU</p> <p>(74) Representative:</p>
--	---

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND FORMATION OF MULTILAYERED WIRING STRUCTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To effectively protect an area under a contact hole with a simple constitution at the time of forming a wiring pattern groove in an interlayer insulating film, by blocking an opening with a resin plug by curing the resin plug at the time of forming a multilayered wiring structure by the dual damascene method.

SOLUTION: A contact hole 41 is formed through interlayer insulating films 39 and 37 and an SiN film 38. Then an i-line resist film is applied to an SiN reflection preventing film 40 so that the contact hole 41 may be filled up with the resist film by the spin coating method and the resist film is pre-baked. In addition, such a structure that the contact hole 41 is partially filled up with a resist plug 42A constituting part of the resist film is obtained by removing the resist film from the surface of the reflection preventing film 40, by evenly exposing the resist film to an Hg-i-line and developing the film with a developing solution. Then the resist plug 42A is solidified by curing or baking the plug 42A by lapping a wafer while ultraviolet rays are projected upon the wafer.



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188329

(P2000-188329A)

(43) 公開日 平成12年7月4日 (2000. 7. 4)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-コード* (参考)

H 0 1 L 21/768

H 0 1 L 21/90

A 5 F 0 3 3

21/3205

21/88

K

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願平10-362935

(22) 出願日 平成10年12月21日 (1998. 12. 21)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 布藤 渉

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

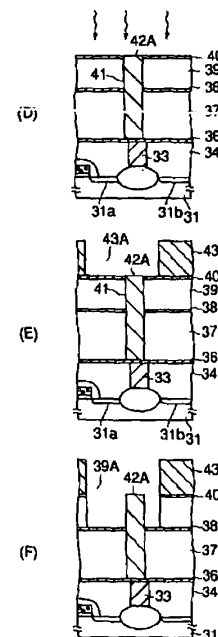
(54) 【発明の名称】 半導体装置の製造方法および多層配線構造の形成方法

(57) 【要約】

【課題】 デュアルダマシン法による多層配線構造の形成工程において、ドライエッチングによる配線溝形成時のコンタクトホール底における損傷を抑制し、同時に配線溝を、確実に所望の形状に形成する。

【解決手段】 層間絶縁膜中にコンタクトホールを形成した段階でコンタクトホールをレジスト等の樹脂で埋め、余分な樹脂を除去してレジストプラグを形成した後、これを硬化させる。さらに硬化したレジストプラグで埋められたコンタクトホールに重畳して配線溝を形成する。

(D)~(F)は、本発明の第1実施例による半導体装置の製造工程を示す図 (その2)



【特許請求の範囲】

【請求項 1】 層間絶縁膜中に開口部を形成する工程と、
前記層間絶縁膜上に、前記開口部を埋めるように樹脂層を形成する工程と、
前記層間絶縁膜上から前記樹脂層を、溶媒中に溶解することにより除去する工程と、
前記開口部中に残留した樹脂層を硬化させる工程と、
前記開口部中に前記硬化した樹脂層が残留した状態で、
前記開口部に重畳するように、配線溝をドライエッチング工程により形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記樹脂層は感光性樹脂層よりなり、さらに前記層間絶縁膜上から前記樹脂層を除去する工程は、前記感光性樹脂層を、全面的に略一様に露光する工程と、前記露光した感光性樹脂層を、前記溶媒として現像液を使い、現像することにより除去する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記露光工程は、前記感光性樹脂層を、前記開口部を解像しない波長の光により露光する工程よりなることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記感光性樹脂は、前記開口部を解像しない波長の光に感度を有することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記露光工程は、前記感光性樹脂層を、前記開口部の底まで露光しない所定のドーズ量以下のドーズ量で実行されることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 6】 前記硬化工程は、ベーキング工程を含むことを特徴とする請求項 1～5 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 7】 層間絶縁膜中に開口部を形成する工程と、
前記層間絶縁膜上に、前記開口部を埋めるように樹脂層を形成する工程と、
前記層間絶縁膜上から前記樹脂層を、溶媒中に溶解することにより除去する工程と、
前記開口部中に残留した樹脂層を硬化させる工程と、
前記開口部中に前記硬化した樹脂層が残留した状態で、
前記開口部に重畳するように、配線溝をドライエッチング工程により形成する工程とを含むことを特徴とする多層配線構造の形成方法。

【請求項 8】 前記樹脂層は感光性樹脂層よりなり、さらに前記層間絶縁膜上から前記樹脂層を除去する工程は、前記感光性樹脂層を、全面的に略一様に露光する工程と、前記露光した感光性樹脂層を、前記溶媒として現像液を使い、現像することにより除去する工程を含むことを特徴とする請求項 7 記載の多層配線構造の形成方法。

【請求項 9】 前記露光工程は、前記感光性樹脂層を、前記開口部を解像しない波長の光により露光する工程よりなることを特徴とする請求項 8 記載の多層配線構造の形成方法。

【請求項 10】 前記感光性樹脂は、前記開口部を解像しない波長の光に感度を有することを特徴とする請求項 9 記載の多層配線構造の形成方法。

【請求項 11】 前記露光工程は、前記感光性樹脂層を、前記開口部の底まで露光しない所定のドーズ量以下のドーズ量で実行されることを特徴とする請求項 8 記載の多層配線構造の形成方法。

【請求項 12】 前記硬化工程は、ベーキング工程を含むことを特徴とする請求項 7～11 のうち、いずれか一項記載の多層配線構造の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般に半導体装置に関し、特に高速半導体装置およびその製造方法に関する。大規模集積回路の製造技術の進歩に伴い、集積回路装置中に含まれる半導体装置の数は莫大なものになっている。これに伴い、集積回路装置中において半導体装置間を相互接続する配線パターンは必然的に複雑になってしまふ。このような複雑な配線パターンを実現するため、最近の半導体集積回路はいわゆる多層配線構造を採用することが多い。多層配線構造では、間に層間絶縁膜を挟んで複数の配線層が形成される。

【0002】このような多層配線構造を使った場合にも、集積回路中の配線の総延長は実質的なものとなり、集積密度の大きい高速半導体装置では、配線の時定数に起因する電気信号の遅れが深刻な問題となる。このような、いわゆる配線遅延の問題を軽減するため、最近では従来集積回路中において配線に使われていた Al に代わって、抵抗値の低い Cu が使われるようになってきている。集積回路中における Cu 配線パターンの使用は、エレクトロマイグレーション耐性向上の観点からも有利である。Cu は Al など従来の多層配線構造で使われていた金属材料と違って、ドライエッチングによるパターンニングが困難であるため、Cu を使った多層配線構造の形成の際には、層間絶縁膜中に先に配線溝を形成しておき、これを Cu で埋めることによる配線パターンを形成するダマシン法が一般に使われている。特に、コンタクトホールを先に形成した層間絶縁膜に配線溝を形成し、前記コンタクトホールおよび配線溝を Cu 層の 1 回の堆積で埋めてしまふ、いわゆるデュアルダマシン法は、工程数の削減に非常に有効である。

【0003】

【従来の技術】図 1 (A)～図 2 (E) は、従来のデュアルダマシン法による多層配線構造の形成工程を示す。図 1 (A) を参照するに、図示しない基板上に形成された配線パターン 12 が埋め込まれた層間絶縁膜 11 上には

3

エッチングストップ層となるSiN膜13を介して次の層間絶縁膜14が形成されており、前記層間絶縁膜14上には別のエッチングストップ層を構成するSiN膜15を介して次の層間絶縁膜16が形成されている。さらに、前記層間絶縁膜16上には、SiN膜17が形成されている。

【0004】図1(A)の構造では、さらに前記層間絶縁膜16および14を貫通して、前記配線パターン12に対応したコンタクトホール18が、ドライエッチング法により形成される。より具体的には、前記SiN膜17上にレジスト膜(図示せず)が堆積され、これをパターンニングすることにより、前記コンタクトホール18に対応したレジスト開口部を前記レジスト膜中に形成する。さらに、かかるレジスト開口部を介して前記SiN膜17をドライエッチングによりパターンニングすることにより、前記SiN膜17中に前記レジスト開口部に対応した開口部を形成する。さらに、かかるSiN膜17中の開口部を介して前記層間絶縁膜16を、エッチングガスあるいはエッチング条件を変更してドライエッチングすることにより、前記層間絶縁膜16中に前記SiN膜15を露出する開口部を形成する。前記層間絶縁膜16を形成するドライエッチング工程は、前記SiN膜15が露出した時点で停止する。

【0005】さらに、エッチングガスあるいはエッチング条件を変更して前記SiN膜15をドライエッチングし、層間絶縁膜14が露出した時点でさらにエッチングガスあるいはエッチング条件を変更して前記層間絶縁膜14をドライエッチングし、前記コンタクトホール18を形成する。図1(A)の段階では、前記コンタクトホール18の底にSiNエッチングストップ膜13が露出している。すなわち、前記配線パターン12はSiN膜13により保護されている。

【0006】次に、図1(B)の工程において、前記SiN膜17上にレジスト膜19が堆積され、レジスト膜19をフォトリソグラフィによりパターンニングすることにより、前記レジスト膜19中に、層間絶縁膜16中に形成したいダマシン構造の配線パターンに対応した開口部19Aが形成される。さらに図1(B)の工程では、前記レジスト膜19をマスクに前記開口部19Aにおいて露出されたSiN膜17をドライエッチングによりパターンニングし、その結果露出された前記層間絶縁膜16を、前記レジスト膜19をマスクにパターンニングすることにより、図1(C)に示すように、前記層間絶縁膜16中に配線溝16Aが、前記コンタクトホール18に重畳して形成される。図1(C)の工程では、前記SiN膜17をドライエッチングによりパターンニングする工程で、前記コンタクトホール18底部に露出されていたSiN膜13も、同時にエッチング除去され、前記コンタクトホール18の底部には、配線パターン12が露出する。図1(C)の工程では、さらに前記層間絶縁膜

4

16上のSiN膜17も除去されている。

【0007】さらに、図2(D)の工程においてCu層20が図1(C)の構造上に、電解めっき法あるいはスパッタリング法により堆積され、さらに堆積したCu層20のうち、前記層間絶縁膜16上の部分を化学機械研磨(CMP)法により除去することにより、図2(E)に示すように、前記コンタクトホール18および配線溝19AがCuにより埋められたデュアルダマシン構造の多層配線構造が得られる。

10 【0008】かかるデュアルダマシン法による多層配線構造の形成方法は、コンタクトホール18をCuで埋める工程と配線溝19AをCuで埋める工程とが同時に実行されるため、また配線溝19Aを埋めるCuのうち、層間絶縁膜16上に堆積した部分を除去してCu配線パターンを形成する工程と平坦化工程とが同時に実行されるため、半導体装置の製造工程において、工程数の削減に有利である。

【0009】

20 【発明が解決しようとする課題】一方、図1(A)～図2(E)に示す従来のデュアルダマシン法による多層配線構造の形成工程では、図1(C)の工程で前記配線パターン12が露出されてしまうため、アッシング等によるレジスト膜19の除去工程、あるいは前記層間絶縁膜16上に残留するSiN膜17の除去工程等により、配線パターン12に損傷が加えられ、抵抗値が増大してしまうおそれがある。配線パターン12の代わりに基板中に拡散層が形成されている場合には、かかる損傷の結果リーク電流が増大する等も問題が生じる。

30 【0010】また、従来のデュアルダマシン法では、図3(A)～(C)に示すように前記コンタクトホール18の位置と前記配線パターン12の位置とがずれている場合、図3(C)に示すように前記配線溝16Aを形成するドライエッチング工程において、下側の層間絶縁膜11のうち、前記配線パターン12に隣接する部分が同時にエッチングを受けてしまう問題が生じる。このようなエッチングが生じると、前記配線パターン12の側壁面が露出し、引き続きレジスト膜19のアッシングによる除去工程において前記側壁面が酸化してしまい、配線パターン12の抵抗値が増大してしまう。この問題は、特に酸化しやすいCuを前記配線パターン12に使った多層配線構造において深刻になる。また、かかる配線パターン12の側壁面は前記配線溝16Aを形成するドライエッチング工程の際にスパッタされることがあるが、かかるスパッタが生じるとCu等の導電性粒子が層間絶縁膜11に付着してしまい、短絡等の問題が引き起こされることがある。

50 【0011】かかる従来のデュアルダマシン法に係る問題点を解決するため、従来より前記配線溝16Aの形成工程の間、前記コンタクトホール18をレジストにより充填し、前記配線パターン12を保護することが提案さ

5

れている。図4 (A) ~ (D) は、前記従来の提案になるデュアルダマシン構造の形成方法を示す。ただし、図4 (A) ~ (D) 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0012】図4 (A) を参照するに、本実施例では図1 (A) の構造が形成された時点で前記S i N膜17上に、前記コンタクトホール18を埋めるようにレジスト膜21を形成し、これを図4 (B) の工程においてエッチバックして、前記S i N膜17上に残留するレジスト膜を除去する。かかるエッチバックの結果、図4 (B) の工程では前記コンタクトホール18を埋めるようにレジストパターン21Aが形成され、レジストパターン21Aにより前記コンタクトホール18の底のS i N膜13および配線パターン12が保護される。

【0013】次に、図1 (B) の工程に対応する図4 (C) の工程において前記S i N膜17上にレジスト膜19が形成され、図4 (D) の工程においてフォトリソグラフィにより図1 (B) に示すレジスト開口部19Aが形成されるが、図4 (C) の工程においてはコンタクトホール18中のレジストパターン21Aがレジスト膜19と容易に混合してしまい、レジスト混合部21Bが前記コンタクトホール18に隣接して形成されやすい。かかるレジスト混合部21Bは露光・現像されても残留しやすく、このため図4 (D) に示すように、前記レジスト開口部19Aを介してドライエッチングを行ない、配線溝16Aを形成した場合、配線溝16A中においてコンタクトホール18を囲むようにエッチングされないパターンが前記レジスト混合部21Bに対応して残留してしまい、配線溝16A中に断線等の欠陥が生じてしまう問題が生じる。

【0014】また、図4 (A) ~ (D) の工程では、図4 (B) のエッチバック工程において、特に有機層間絶縁膜を使った場合、レジストパターン21Aの深さを制御するのが困難である問題が生じる。これは、かかるエッチバック工程を酸素プラズマ中で行なった場合、エッチング速度が非常に速くなり、またエッチング速度の面内分布が不均一になるためである。さらに、かかる酸素プラズマによるエッチングを行なった場合、ドライエッチング装置の反応室内壁に付着しているポリマーが酸素プラズマに曝露されることで剥離し、粒子となって半導体装置基板上に付着して欠陥を形成する問題も生じる。このような問題は、図4 (B) のエッチバック工程を専用のドライエッチング装置中において行なえば回避できるが、その場合には半導体装置の製造工程が複雑になり、製造費用が増大してしまう。

【0015】そこで、本発明は上記の課題を解決した、新規で有用な半導体装置の製造方法を提供することを概括的課題とする。本発明のより具体的な課題は、デュアルダマシン法による多層配線構造の形成工程を含む半導体装置の製造方法において、層間絶縁膜中にコンタクト

6

ホール形成後、配線パターン溝をドライエッチングにより前記層間絶縁膜中に形成する際に、コンタクトホール下の領域を、簡単な構成で効果的に保護できる半導体装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】本発明は、上記の課題を、請求項1に記載したように、層間絶縁膜中に開口部を形成する工程と、前記層間絶縁膜上に、前記開口部を埋めるように樹脂層を形成する工程と、前記層間絶縁膜上から前記樹脂層を、溶媒中に溶解することにより除去する工程と、前記開口部中に残留した樹脂層を硬化させる工程と、前記開口部中に前記硬化した樹脂層が残留した状態で、前記開口部に重畳するように、配線溝をドライエッチング工程により形成する工程とを含むことを特徴とする半導体装置の製造方法により、または請求項2に記載したように、前記樹脂層は感光性樹脂層よりなり、さらに前記層間絶縁膜上から前記樹脂層を除去する工程は、前記感光性樹脂層を、全的に略一様に露光する工程と、前記露光した感光性樹脂層を、前記溶媒として現像液を使い、現像することにより除去する工程を含むことを特徴とする請求項1記載の半導体装置の製造方法により、または請求項3に記載したように、前記露光工程は、前記感光性樹脂層を、前記開口部を解像しない波長の光により露光する工程よりなることを特徴とする請求項2記載の半導体装置の製造方法により、または請求項4に記載したように、前記感光性樹脂は、前記開口部を解像しない波長の光に感度を有することを特徴とする請求項3記載の半導体装置の製造方法により、または請求項5に記載したように、前記露光工程は、前記感光性樹脂層を、前記開口部の底まで露光しない所定のドーズ量以下のドーズ量で実行されることを特徴とする請求項2記載の半導体装置の製造方法により、または請求項6に記載したように、前記硬化工程は、ベーキング工程を含むことを特徴とする請求項1~5のうち、いずれか一項記載の半導体装置の製造方法により、または請求項7に記載したように、層間絶縁膜中に開口部を形成する工程と、前記層間絶縁膜上に、前記開口部を埋めるように樹脂層を形成する工程と、前記層間絶縁膜上から前記樹脂層を、溶媒中に溶解することにより除去する工程と、前記開口部中に残留した樹脂層を硬化させる工程と、前記開口部中に前記硬化した樹脂層が残留した状態で、前記開口部に重畳するように、配線溝をドライエッチング工程により形成する工程とを含むことを特徴とする多層配線構造の形成方法により、または請求項8に記載したように、前記樹脂層は感光性樹脂層よりなり、さらに前記層間絶縁膜上から前記樹脂層を除去する工程は、前記感光性樹脂層を、全的に略一様に露光する工程と、前記露光した感光性樹脂層を、前記溶媒として現像液を使い、現像することにより除去する工程を含むことを特徴とする請求項7記載の多層配線構造の形成方法

により、または請求項9に記載したように、前記露光工程は、前記感光性樹脂層を、前記開口部を解像しない波長の光により露光する工程よりなることを特徴とする請求項8記載の多層配線構造の形成方法により、または請求項10に記載したように、前記感光性樹脂は、前記開口部を解像しない波長の光に感度を有することを特徴とする請求項9記載の多層配線構造の形成方法により、または請求項11に記載したように、前記露光工程は、前記感光性樹脂層を、前記開口部の底まで露光しない所定のドーズ量以下のドーズ量で実行されることを特徴とする請求項8記載の多層配線構造の形成方法により、または請求項12に記載したように、前記硬化工程は、ベーキング工程を含むことを特徴とする請求項7～11のうち、いずれか一項記載の多層配線構造の形成方法により、解決する。

【0017】

【発明の実施の形態】 [第1実施例] 図5 (A) ～図7 (H) は、本発明の第1実施例による半導体装置の製造工程を示す。図5 (A) を参照するに、拡散領域31a、31bを形成されたSi基板31上には、前記拡散領域31aと31bとの間のフィールド酸化膜32上にポリシリコンあるいはW等よりなる配線パターン33が形成されており、前記配線パターン33はF (フッ素) ドープSiO₂などの低誘電率層間絶縁膜34により覆われる。また、前記基板31上には、前記拡散領域31aに隣接してゲート電極35が形成されている。

【0018】前記層間絶縁膜34は平坦化されており、表面を薄いSiN膜よりなるエッチングストップ膜36により覆われている。一方、前記エッチングストップ膜36上にはFドープSiO₂等よりなる層間絶縁膜37が堆積され、SiNよりなるエッチングストップ膜38を挟んでさらにその上にFドープSiO₂等よりなる別の層間絶縁膜39が堆積される。さらに、前記層間絶縁膜39はSiNよりなる反射防止膜40により覆われ、前記SiN反射防止膜40中には前記層間絶縁膜32に対応して開口部が、ArFあるいはKrFエキシマレーザを使ったフォトリソグラフィにより、解像限界近傍で形成され、さらに前記反射防止膜40中の開口部を介して、前記SiNエッチングストップ膜36を露出するコンタクトホール41が、前記層間絶縁膜39および37、および間のSiN膜38を貫通して形成されている。

【0019】次に、図5 (B) の工程において、前記SiN反射防止膜40上に前記コンタクトホール41を埋めるように、i線レジスト膜42が、スピンコーティング法により塗布され、通常通りプリベークされる。さらに、図5 (B) の工程では、前記レジスト膜42はHg-i線により一様に露光され、さらに現像液により現像されることにより前記反射防止膜40上から除去され、図5 (C) に示すように、前記コンタクトホール41

を、前記レジスト膜42の一部をなすレジストプラグ42Aが埋められた構造が得られる。図5 (B) の露光工程において、前記i線レジスト膜42の露光は、先にエキシマレーザを使ったフォトリソグラフィで形成されたコンタクトホール41を解像することはできず、したがって、前記コンタクトホール41を埋めるレジストプラグ42Aは現像工程を行なっても実質的に溶解されず、コンタクトホール41内に残留する。換言すると、図5 (C) の構造では、前記コンタクトホール41底のSiN膜36、したがってその下の配線パターン33は、前記レジストプラグ42Aにより保護される。

【0020】次に、図6 (D) の工程で、図5 (C) 構造は、典型的には紫外線を照射しながらウェハを50～140°Cで100秒間程度ランピング加熱を行なうことにより硬化処理あるいはベーク処理され、前記樹脂中において重合反応が生じることにより、前記レジストプラグ42Aが固化する。さらに、図6 (E) の工程で、前記図6 (D) のSiN反射防止膜40上に別のレジスト膜43を形成し、通常のi線を使ったフォトリソグラフィによりパターンニングすることにより、前記レジスト膜43中に、形成したい多層配線パターンに対応したレジスト開口部43Aを形成する。図6 (E) の工程においては、前記コンタクトホール41中のレジストプラグ42Aはすでに硬化しているため、i線レジスト膜43を前記SiN膜40上に形成しても、図4 (C) で説明したレジストのミキシングは生じない。また、図6 (E) の工程で前記別のレジスト膜43を露光する際にも、前記レジストプラグ42Aはすでに硬化しているため露光されることはなく、このため前記レジスト膜43を現像液によりパターンニングしてレジスト開口部43Aを形成しても、レジストプラグ42Aが溶解されることはない。

【0021】さらに、図6 (F) の工程において、前記レジスト膜43をマスクに前記SiN反射防止膜40をドライエッチングし、前記層間絶縁膜39を露出した後、これをエッチングガスあるいはエッチング条件を変えて、SiNエッチングストップ層38が露出するまでドライエッチングし、前記層間絶縁膜39中に配線溝39Aを形成する。その結果、図6 (F) に示すように、前記配線溝39A中にレジストプラグ42Aが突出した構造が得られる。図6 (F) の工程では前記コンタクトホール41中のSiN膜36がレジストプラグ42Aにより保護されているため、前記SiN膜40をドライエッチングしてもSiN膜36が除去されることはない。

【0022】次に、図7 (G) の工程で前記レジスト膜43およびレジストプラグ42Aを酸素プラズマ中におけるアッシングにより除去した後、前記コンタクトホール底部におけるSiN膜36がドライエッチングにより除去され、さらに図7 (H) の工程で前記コンタクトホール41および前記配線溝39Aの表面にCuシード層

44Aがスパッタリングにより形成される。さらに前記Cuシード層44Aを電極として電解めっきを行なうことにより、前記コンタクトホール41および配線溝39Aを埋めるCu配線パターン44Bが形成される。なお、前記Cu配線パターン44Bの形成は、図2

(D)、(E)で説明したスパッタリングとCMP法による平坦化工程を組み合わせることで形成してもよい。

【第2実施例】図8(A)～図10(H)は、本発明の第2実施例による半導体装置の製造工程を示す。ただし、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0023】本実施例では、図5(B)の工程に対応する図8(B)の工程において前記SiN膜40上に、i線レジスト膜42の代わりに熱硬化性樹脂膜42'を塗布する。レジスト膜42と同様に、熱硬化性樹脂膜42'も前記コンタクトホール41を埋めるように形成され、プリベーク処理の後、図5(C)の工程に対応する図8(C)の工程で現像液により溶解され、前記SiN膜40上に残留している樹脂膜42'が溶解・除去される。その結果、図8(C)の工程では、前記コンタクトホール41を部分的に埋める樹脂プラグ42A'が形成される。

【0024】前記樹脂プラグ42A'は図6(D)に対応する図9(D)の工程においてベーキング処理により硬化され、さらに図6(E)～7(H)の工程に対応する図9(E)～10(H)の工程により、図10(H)に示すように、図7(H)と同様な所望の多層配線構造が得られる。以上、本発明を半導体装置における多層配線構造の形成について説明したが、本発明による多層配線構造は半導体装置以外にも、プリント回路基板等において適用可能である。

【0025】以上、本発明を好ましい実施例について説明したが、本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形や変更が可能である。

【0026】

【発明の効果】請求項1～12記載の本発明の特徴によれば、デュアルダマシン法により多層配線構造を形成する場合、開口部を樹脂プラグで塞ぎ、その際樹脂プラグを硬化させておくことにより、開口部形成に続くレジストプロセスにより、開口部に重畳して配線溝を形成する場合でも、配線溝形成に使われるレジストが樹脂プラグとミキシングすることなく、また樹脂プラグが露光されることもなく、簡単かつ確実にデュアルダマシン構造の

多層配線構造を形成することができる。

【図面の簡単な説明】

【図1】(A)～(C)は、従来のデュアルダマシン法による多層配線構造の形成方法を示す図(その1)である。

【図2】(D)～(E)は、従来のデュアルダマシン法による多層配線構造の形成方法を示す図(その2)である。

【図3】(A)～(C)は、従来のデュアルダマシン法の問題点を説明する図である。

【図4】(A)～(D)は、従来の別のデュアルダマシン法による多層配線構造の形成方法を示す図である。

【図5】(A)～(C)は、本発明の第1実施例による半導体装置の製造工程を示す図(その1)である。

【図6】(D)～(F)は、本発明の第1実施例による半導体装置の製造工程を示す図(その2)である。

【図7】(G)～(H)は、本発明の第1実施例による半導体装置の製造工程を示す図(その3)である。

【図8】(A)～(C)は、本発明の第2実施例による半導体装置の製造工程を示す図(その1)である。

【図9】(D)～(F)は、本発明の第2実施例による半導体装置の製造工程を示す図(その2)である。

【図10】(G)～(H)は、本発明の第2実施例による半導体装置の製造工程を示す図(その3)である。

【符号の説明】

11, 31 基板

12, 33 配線パターン

13, 15, 17, 36, 38, 40 SiNエッチングストップ

14, 16 層間絶縁膜

16A, 39A 配線溝

18, 41 コンタクトホール

19, 43 レジスト膜

19A, 43A レジスト開口部

20 Cu層

20A, 44B Cu配線パターン

31a, 31b 拡散領域

32 フィールド酸化膜

42 レジスト膜

42' 樹脂膜

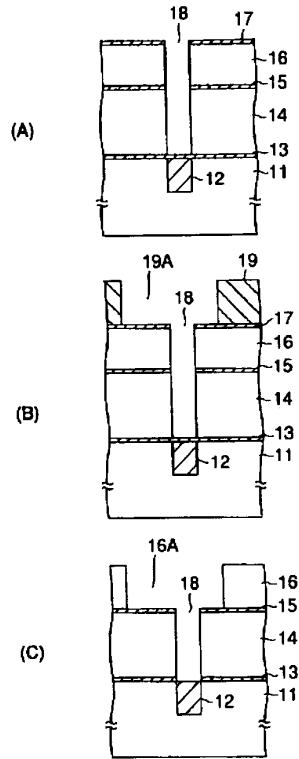
42A レジストプラグ

42A' 樹脂プラグ

44A Cuシード層

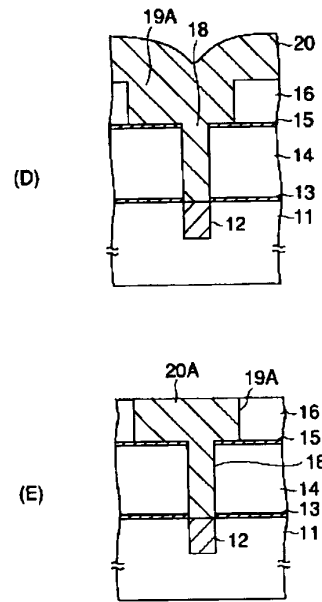
【図1】

(A)～(C)は、従来のデュアルダマシン法による多層配線構造の形成方法を示す図（その1）



【図2】

(D)～(E)は、従来のデュアルダマシン法による多層配線構造の形成方法を示す図（その2）

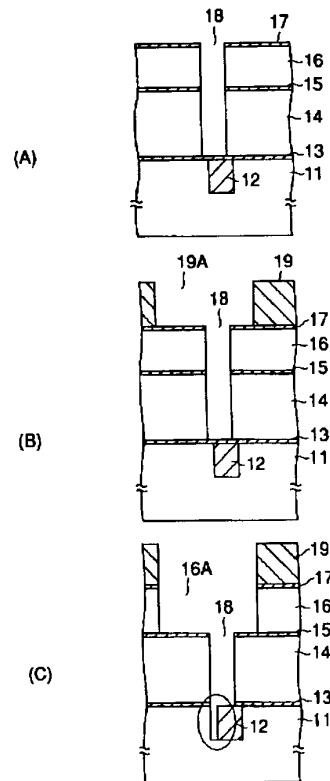
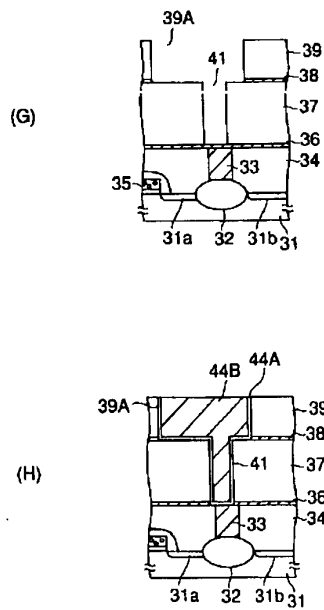


【図3】

(A)～(C)は、従来のデュアルダマシン法の問題点を説明する図

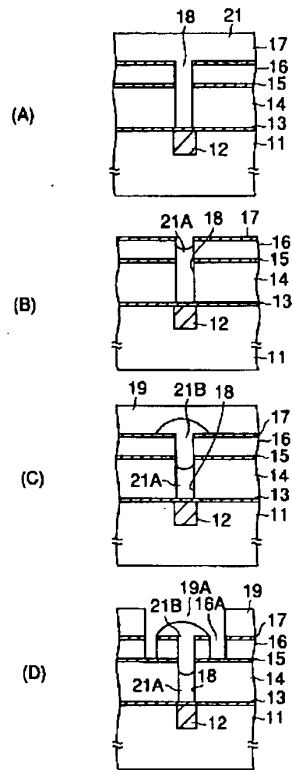
【図7】

(G)～(H)は、本発明の第1実施例による半導体装置の製造工程を示す図（その3）



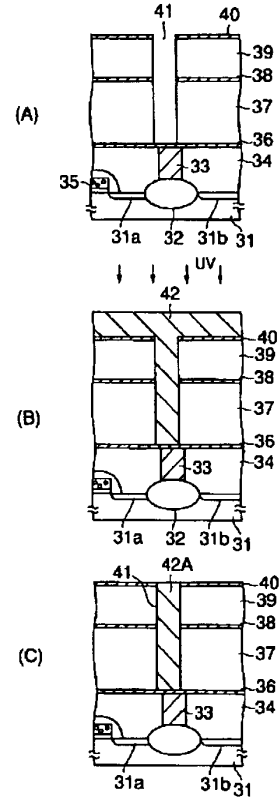
【図4】

(A)～(D)は、従来の別のデュアルダマシン法による多層配線構造の形成方法を示す図



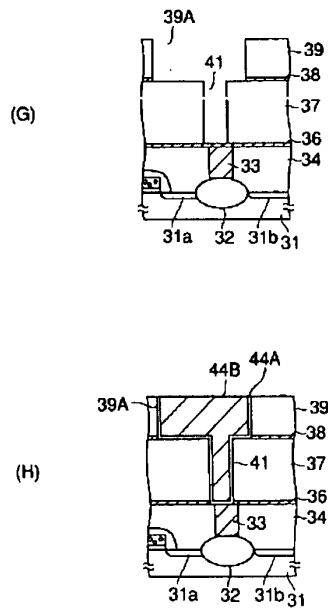
【図5】

(A)～(C)は、本発明の第1実施例による半導体装置の製造工程を示す図（その1）



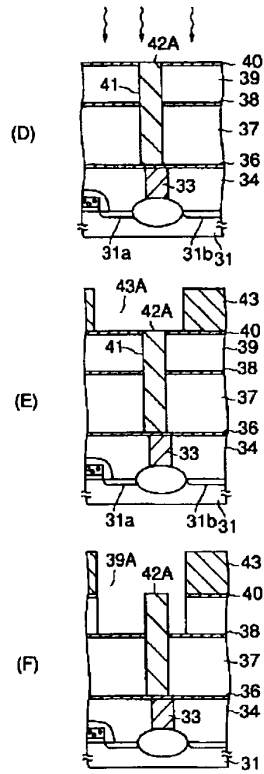
【図10】

(G)～(H)は、本発明の第2実施例による半導体装置の製造工程を示す図（その3）



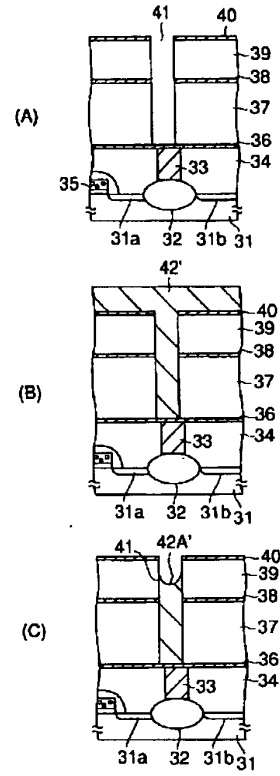
【図6】

(D)~(F)は、本発明の第1実施例による半導体装置の製造工程を示す図（その2）



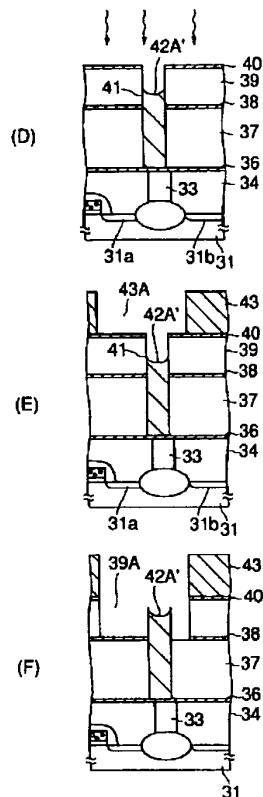
【図8】

(A)~(C)は、本発明の第2実施例による半導体装置の製造工程を示す図（その1）



【図9】

(D)～(F)は、本発明の第2実施例による半導体装置の製造工程を示す図（その2）



フロントページの続き

(72)発明者 畠中 公栄
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 駒田 大輔
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 若杉 幸宏
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 羽入 勇
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5F033 HH11 JJ11 KK04 KK19 MM02
MM12 PP15 PP27 QQ04 QQ09
QQ10 QQ11 QQ21 QQ25 QQ37
QQ48 QQ74 RR06 RR11 SS22
TT02 XX01 XX08